

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 3 月 1 日 (01.03.2001)

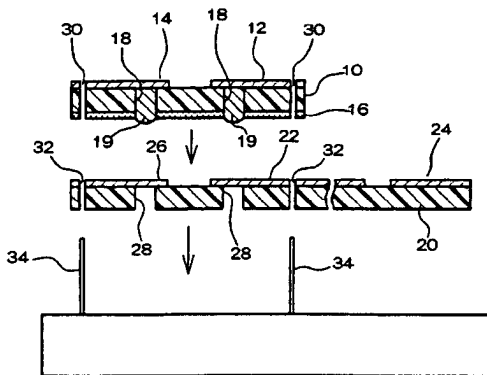
PCT

(10) 国際公開番号
WO 01/15228 A1

- (51) 国際特許分類: H01L 23/52 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 橋元 伸晃
(HASHIMOTO, Nobuaki) [JP/JP]; 〒392-8502 長野県
(21) 国際出願番号: PCT/JP00/05395 諏訪市大和3丁目3番5号 セイコーエプソン株式会
社内 Nagano (JP).
(22) 国際出願日: 2000 年 8 月 11 日 (11.08.2000)
(25) 国際出願の言語: 日本語 (74) 代理人: 井上 一, 外(INOUE, Hajime et al.); 〒167-
0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2
(26) 国際公開の言語: 日本語 階 Tokyo (JP).
(81) 指定国 (国内): CN, JP, KR, US.
(30) 優先権データ: 特願平11/232565 1999 年 8 月 19 日 (19.08.1999) JP 添付公開書類:
— 国際調査報告書
(71) 出願人 (米国を除く全ての指定国について): セイコー
エプソン株式会社 (SEIKO EPSON CORPORATION)
[JP/JP]; 〒163-0811 東京都新宿区西新宿2丁目4番1号
Tokyo (JP).
2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: WIRING BOARD, METHOD OF MANUFACTURING WIRING BOARD, ELECTRONIC DEVICE, METHOD OF
MANUFACTURING ELECTRONIC DEVICE, CIRCUIT BOARD AND ELECTRONIC APPARATUS

(54) 発明の名称: 配線基板及びその製造方法、電子部品及びその製造方法、回路基板並びに電子機器



(57) Abstract: A wiring board comprises a first board (10) having a first wiring pattern (12) and including an area (14) on which an electronic element is mounted, and a second board (20) having a second wiring pattern (22) connected electrically with the first wiring pattern (12). The second board includes an area (26) to which at least part of the first board (10) is attached and an area (24) on which an electronic element is mounted.

(57) 要約:

配線基板は、電子素子の搭載領域 (14) を有して第 1 の配線パターン (12) が形成された第 1 の基板 (10) と、第 1 の基板 (10) の少なくとも一部が貼り付けられている領域 (26) と電子素子の搭載領域 (24) とを有して第 1 の配線パターン (12) と電氣的に接続された第 2 の配線パターン (22) が形成された第 2 の基板 (20) と、を含む。

明 細 書

配線基板及びその製造方法、電子部品及びその製造方法、回路基板並びに電子機器

5 〔技術分野〕

本発明は、配線基板及びその製造方法、電子部品及びその製造方法、回路基板並びに電子機器に関する。

〔背景技術〕

10 近年、電子部品の実装の高密度化が進み、微細な配線基板が必要となっている。基板の片面にのみ配線パターンを形成した配線基板では、微細化の限界にあったので、ビルドアップ配線板が使用されることがあった。

しかし、ビルドアップ配線板は、配線と絶縁層を繰り返し積層する工程と感光性樹脂などの高価な材料を必要とするため、通常のプリント配線板のようにコストを下

15 げることができなかった。

〔発明の開示〕

本発明は、この問題点を解決するものであり、その目的は、安価な配線基板及びその製造方法、電子部品及びその製造方法、回路基板並びに電子機器を提供することに

20 ある。

（１）本発明に係る配線基板は、第１の配線パターンが形成された第１の基板と、第２の配線パターンが形成された第２の基板と、が積層されて配置されてなり、

前記第１の配線パターン及び前記第２の配線パターンの少なくとも一方は、電子素子の搭載領域を有し、

25 前記第１の配線パターンと前記第２の配線パターンとが電氣的に接続されてなる。

本発明によれば、片面基板である第１及び第２の基板が使用されて、両面基板の機能を果たすことができる。なお、本発明に係る配線基板は、第１及び第２の基板の両

方が電子素子の搭載領域を有する点で従来の多層基板と異なる。

(2) この配線基板において、

前記第1の基板よりも前記第2の基板が大きく、前記第1の基板の全体が前記第2の基板に貼り付けられていてもよい。

- 5 これによれば、第2の基板の外形が配線基板の平面形状となり、部分的に第1及び第2の基板が重ねられた構造となる。

(3) この配線基板において、

前記第1の配線パターンは、前記第1の基板の一方の面に形成され、

前記第2の配線パターンは、前記第2の基板の一方の面に形成され、

- 10 前記第1の基板における前記第1の配線パターンが形成された面とは反対側の面と、前記第2の基板における前記第2の配線パターンが形成された面と、が対向して配置されていてもよい。

これによれば、第1及び第2の基板に形成された第1及び第2の配線パターンが同じ方向を向いて配置される。

- 15 (4) この配線基板において、

前記第1の基板には、複数の貫通穴が形成されており、前記貫通穴を介して前記第1の配線パターンと前記第2の配線パターンとが電氣的に接続されていてもよい。

(5) この配線基板において、

前記第1の配線パターンは、前記貫通穴上を通り、

- 20 前記貫通穴は、前記第2の配線パターン上に位置し、

前記貫通穴内に、前記第1及び第2の配線パターンに接触する導電材料が設けられていてもよい。

(6) この配線基板において、

前記貫通穴は、前記第2の配線パターン上に位置し、

- 25 前記第1の配線パターンの一部は、前記貫通穴内に入り込んで、前記第2の配線パターンに接続されていてもよい。

(7) この配線基板において、

前記第2の基板には、前記第2の配線パターンと電氣的に接続されて前記第2の配

線パターンが形成された面とは反対側に突出する複数の外部端子を形成するための複数の貫通穴が形成されていてもよい。

(8) この配線基板において、

前記第1の基板に形成された前記貫通穴と、前記第2の基板に形成された前記貫通
5 穴とは、連通する位置に形成されていてもよい。

(9) この配線基板において、

前記第2の配線パターンの一部は、前記第1の基板に形成された前記貫通穴内に入り込んで、前記第1の配線パターンに接続されていてもよい。

(10) この配線基板において、

10 前記第1及び第2の配線パターンの一部は、前記第2の基板に形成された前記貫通穴を介して前記第2の基板の面から突出して外部端子を構成してもよい。

(11) この配線基板において、

前記第2の配線パターンの一部は、前記第1の配線パターンとの接触を避けて、前記第2の基板に形成された前記貫通穴の内側に突出してもよい。

15 (12) この配線基板において、

前記第1及び第2の基板は、導電粒子を含有する異方性導電膜を介して貼り付けられてもよい。

(13) この配線基板において、

前記第1及び第2の配線パターンは、前記導電粒子によって電氣的に接続されても
20 よい。

(14) 本発明に係る電子部品は、第1の配線パターンが形成された第1の基板と、前記第1の基板の少なくとも一部が対向して配置された領域を有し、前記第1の配線パターンと電氣的に接続された第2の配線パターンが形成された第2の基板と、

前記第1の配線パターン及び前記第2の配線パターンの少なくとも一方に電氣的
25 に接続された電子素子と、
を含む。

本発明によれば、片面基板である第1及び第2の基板によって両面基板の機能を果たす配線基板が用いられている。なお、本発明に係る電子部品は、第1及び第2の基

板の両方に電子素子が搭載される点で従来の多層基板を使用した電子部品と異なる。

(15) この電子部品において、

前記第1の基板における前記第1の配線パターンが形成された面とは反対側の面と、前記第2の基板における前記第2の配線パターンが形成された面と、が貼り付けられてもよい。

これによれば、第1及び第2の基板に形成された第1及び第2の配線パターンが同じ方向を向いて配置される。

(16) この電子部品において、

前記第1の基板には、複数の貫通穴が形成されており、前記貫通穴を介して前記第1の配線パターンと前記第2の配線パターンとが電氣的に接続されてもよい。

(17) この電子部品において、

前記第2の基板には、複数の貫通穴が形成され、

前記第2の基板に形成された前記貫通穴を介して前記第2の配線パターンに電氣的に接続された外部端子が設けられてもよい。

(18) この電子部品において、

前記第1の基板に形成された前記貫通穴と、前記第2の基板に形成された前記貫通穴とは、連通する位置に形成され、

前記外部端子は、前記第2の基板に形成された前記貫通穴を介して前記第2の配線パターンに接触し、かつ、前記第1の基板に形成された前記貫通穴を介して前記第1の配線パターン上に設けられてもよい。

(19) この電子部品において、

前記第2の基板における前記第2の配線パターンが形成された面には、導電粒子を含有する異方性導電膜が設けられ、

前記異方性導電膜は、前記第1及び第2の基板を接着するとともに、前記第2の配線パターンと前記電子素子とを電氣的に接続してもよい。

(20) この電子部品において、

前記第2の基板が屈曲して、前記第1の基板上に搭載された前記第1の電子素子と、前記第2の基板上に搭載された前記第2の電子素子と、が接着されてもよい。

(21) 本発明に係る回路基板には、上記電子部品が搭載されている。

(22) 本発明に係る電子機器は、上記電子部品を備える。

(23) 本発明に係る配線基板の製造方法は、第1の配線パターンが形成された第1の基板の少なくとも一部を、第2の配線パターンが形成された第2の基板における
5 電子素子の搭載領域を除く領域に対向させて配置する配置工程と、
前記第1及び第2の配線パターンを電氣的に接続する接続工程と、
を含む。

本発明によれば、片面基板である第1及び第2の基板を使用して、両面基板の機能を果たす配線基板を製造することができる。なお、本発明によって製造される配線基
10 板は、第1及び第2の基板の両方が電子素子の搭載領域を有する点で従来の多層基板と異なる。

(24) この配線基板の製造方法において、
前記配置工程で、前記第1の基板における前記第1の配線パターンが形成された面とは反対側の面と、前記第2の基板における前記第2の配線パターンが形成された面
15 と、を貼り付け、

前記第1の基板には複数の貫通穴が形成されており、前記第1の配線パターンは、前記貫通穴上を通して形成されてもよい。

(25) この配線基板の製造方法において、
前記配置工程の前に、前記第1の基板に形成された前記貫通穴を介して前記第1の
20 配線パターンに導電材料を設け、

前記配置工程で前記第1及び第2の基板を貼り付けるときに、前記導電材料を前記第2の配線パターンに接触させることで、前記接続工程を行ってもよい。

これによれば、配置工程で接続工程の一部を行うので、工程を簡略化することができる。

(26) この配線基板の製造方法において、
前記接続工程で、前記第1の配線パターンの一部を、前記第1の基板に形成された貫通穴内に屈曲させて前記第2の配線パターンに接続してもよい。

(27) この配線基板の製造方法において、

前記第 2 の基板には、複数の貫通穴が形成され、

前記第 1 及び第 2 の基板に形成された貫通穴は、連通する位置に形成されていてもよい。

(28) この配線基板の製造方法において、

- 5 前記接続工程で、前記第 2 の配線パターンの一部を、前記第 1 の基板に形成された貫通穴内に屈曲させて前記第 1 の配線パターンに接続してもよい。

(29) この配線基板の製造方法において、

- 前記接続工程で、前記第 1 及び第 2 の配線パターンの一部を、一体的に、前記第 2 の基板に形成された前記貫通穴を介して前記第 2 の基板の面から突出させて外部端子を形成してもよい。
- 10

(30) この配線基板の製造方法において、

前記接続工程で、外部端子の形成材料を、前記第 2 の配線パターンに接触させて前記第 1 及び第 2 の基板に形成された前記貫通穴を介して、前記第 1 の配線パターン上に設けてもよい。

- 15 これによれば、外部端子を形成するときに、第 1 及び第 2 の配線パターンの電気的な接続も行うことができる。

(31) この配線基板の製造方法において、

前記第 1 及び第 2 の基板には、位置決め用の穴が形成され、

- 前記配置工程前に、前記位置決め用の穴に治具を挿通して、前記第 1 及び第 2 の基板の位置決めを行う工程を含んでもよい。
- 20

(32) 本発明に係る電子部品の製造方法は、電子素子の搭載領域を有して第 1 の配線パターンが形成された第 1 の基板の少なくとも一部を、第 2 の配線パターンが形成された第 2 の基板における電子素子の搭載領域を除く領域に貼り付ける配置工程と、

- 25 前記第 1 及び第 2 の配線パターンを電気的に接続する接続工程と、
前記第 1 の基板に、前記第 1 の配線パターンに電気的に接続される第 1 の電子素子を搭載する第 1 の搭載工程と、

前記第 2 の基板の前記電子素子の搭載領域に、前記第 2 の配線パターンに電気的に

接続される第 2 の電子素子を搭載する第 2 の搭載工程と、
を含む。

本発明によれば、片面基板である第 1 及び第 2 の基板によって両面基板の機能を果たす配線基板を用いて電子部品を製造する。なお、本発明によって製造される電子部品は、第 1 及び第 2 の基板の両方に電子素子が搭載される点で従来の多層基板を使用した電子部品と異なる。

(33) この電子部品の製造方法において、

前記配置工程で、前記第 1 の基板における前記第 1 の配線パターンが形成された面とは反対側の面と、前記第 2 の基板における前記第 2 の配線パターンが形成された面
10 と、を貼り付け、

前記第 1 の基板には複数の貫通穴が形成されており、前記第 1 の配線パターンは、前記貫通穴上を通して形成されてもよい。

(34) この電子部品の製造方法において、

前記第 2 の基板には、複数の貫通穴が形成され、
15 前記第 1 及び第 2 の基板に形成された前記貫通穴は、連通する位置に形成されてもよい。

(35) この電子部品の製造方法において、

前記接続工程で、外部端子の形成材料を、前記第 2 の配線パターンに接触させて前記第 1 及び第 2 の基板に形成された前記貫通穴を介して、前記第 1 の配線パターン上
20 に設けてもよい。

これによれば、外部端子を形成するときに、第 1 及び第 2 の配線パターンの電気的な接続も行うことができる。

(36) この電子部品の製造方法において、

前記配置工程及び前記第 2 の搭載工程で、前記第 2 の基板における前記第 2 の配線
25 パターンが形成された面に導電粒子を含有する異方性導電膜を設け、前記異方性導電膜によって、前記第 1 及び第 2 の基板を接着するとともに、前記第 2 の配線パターンと前記第 2 の電子素子とを電気的に接続してもよい。

これによれば、一つの材料で、第 1 及び第 2 の基板を接着し、第 2 の配線パターン

と第2の電子素子とを電氣的に接続することができ、また、この二つの工程を同時に
行うこともできる。

(37) この電子部品において、

- 前記第2の基板を屈曲させて、前記第1の基板上に搭載された前記第1の電子素子
5 と、前記第2の基板上に搭載された前記第2の電子素子と、を接着する工程を含んで
もよい。

(38) この電子部品製造方法において、

前記第1の搭載工程の後に、前記配置工程を行ってもよい。

(39) この電子部品製造方法において、

- 10 前記第2の基板は、フレキシブル基板の一部であり、
前記配置工程後に、前記フレキシブル基板を打ち抜いて前記第2の基板を形成して
もよい。

[図面の簡単な説明]

- 15 図1は、本発明を適用した第1の実施の形態に係る配線基板の製造方法を示す図で
ある。

図2は、本発明を適用した第1の実施の形態に係る配線基板を示す図である。

図3は、本発明を適用した第2の実施の形態に係る半導体装置を示す図である。

図4は、本発明を適用した第3の実施の形態に係る半導体装置を示す図である。

- 20 図5は、本発明を適用した第4の実施の形態に係る配線基板の製造方法を示す図で
ある。

図6は、本発明を適用した第4の実施の形態に係る配線基板の製造方法の変形例を
示す図である。

- 25 図7は、本発明を適用した第5の実施の形態に係る配線基板の製造方法を示す図で
ある。

図8は、本発明を適用した第6の実施の形態に係る配線基板を示す図である。

図9は、本発明を適用した第7の実施の形態に係る配線基板の製造方法を示す図で
ある。

図10は、本発明を適用した第8の実施の形態に係る配線基板を示す図である。

図11は、本発明に係る方法を適用して製造された半導体装置を備える電子機器を示す図である。

5 [発明を実施するための最良の形態]

以下、本発明の実施の形態を、図面を参照して説明する。

（第1の実施の形態）

図1は、本発明を適用した第1の実施の形態に係る配線基板の製造方法を示す図であり、図2は、本発明を適用した第1の実施の形態に係る配線基板を示す図である。

- 10 図1に示す配線基板は、第1の基板10と、第2の基板20と、を含み、例えば半導体装置のインターポーザとして使用することができる。

- 第1及び第2の基板10、20は、異なる材料から形成されてもよいが、同じ材料で形成されていてもよい。材料として、有機系又は無機系のいずれの材料であってもよく、これらの複合構造からなるものであってもよい。有機系の材料から形成された
- 15 第1又は第2の基板10、20として、例えばポリイミド樹脂からなるフレキシブル基板が挙げられている。フレキシブル基板として、FPC (Flexible Printed Circuit) や、TAB (Tape Automated Bonding) 技術で使用されるテープを使用してもよい。また、無機系の材料から形成された第1又は第2の基板10、20として、例えばセラミック基板やガラス基板が挙げられている。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板が挙げられている。また、第1及び第2の基板
- 20 10、20は、異なる厚みであってもよいが、同じ厚みであってもよい。

第1及び第2の基板10、20の平面的な大きさ及び形状は、特に限定されないが、図1及び図2に示す例では、第1の基板10よりも第2の基板20が大きくなっている。

- 25 第1の基板10の一方の面には、配線パターン12が形成されている。配線パターン12は、銅などの導電材料で形成することができる。第1の基板10は、半導体チップ40（図3参照）などの電子素子の搭載領域14を有する。配線パターン12は、搭載領域14では、電子素子の電極に対応したパターンを有し、電極との接続のた

めにランド部が形成されてもよい。配線パターン 12 が接着剤（図示せず）を介して基板 10 に貼り付けられて、3 層基板を構成してもよい。あるいは、配線パターン 12 を、接着剤なしで第 1 の基板 10 に形成して 2 層基板を構成してもよい。

第 2 の基板 20 の一方の面には、配線パターン 22 が形成されている。配線パターン 22 は、銅などの導電材料で形成することができる。第 2 の基板 20 は、半導体チップ 42（図 3 参照）などの電子素子の搭載領域 24 と、第 1 の基板 10 の少なくとも一部を貼り付ける領域 26 と、を有する。配線パターン 22 は、搭載領域 24 及び領域 26 の両方にわたって形成されている。第 2 の配線パターン 22 は第 1 の配線パターン 12 と電氣的に接続されている。

10 配線パターン 22 は、搭載領域 24 では、電子素子の電極に対応したパターンを有し、電極との接続のためにランド部が形成されてもよい。配線パターン 22 が接着剤（図示せず）を介して基板 20 に貼り付けられて、3 層基板を構成してもよい。あるいは、配線パターン 22 を、接着剤なしで第 2 の基板 20 に形成して 2 層基板を構成してもよい。

15 第 2 の基板 20 の領域 26 に、第 1 の基板 10 の少なくとも一部が貼り付けられている。この貼り付けには、例えば接着剤 16 を用いることができる。第 1 の基板 10 が第 2 の基板 20 よりも平面的に小さいときには、第 1 の基板 10 の全体が第 2 の基板の領域 26 に貼り付けられていてもよい。

第 1 の基板 10 における第 1 の配線パターン 12 が形成された面とは反対側の面が、第 2 の基板 20 における第 2 の配線パターン 22 が形成された面に貼り付けられていてもよい。この場合、第 1 及び第 2 の配線パターン 12、22 の間に、第 1 の基板 10 が介在するので、両者間の電氣的な接続のために第 1 の基板 10 には複数の貫通穴 18 が形成されている。貫通穴 18 にハンダ等の導電材料 19 を設け、導電材料 19 によって第 1 及び第 2 の配線パターン 12、22 の電氣的な導通を図ってもよい。
25 。具体的には、第 1 の配線パターン 12 が貫通穴 18 上を通り、第 2 の配線パターン 22 上に貫通穴 18 が位置していれば、貫通穴 18 内に設けられた導電材料 19 によって、第 1 及び第 2 の配線パターン 12、22 の電氣的な接続を図ることができる。第 1 及び第 2 の配線パターン 12、22 は、ハンダ、スズ、金、ニッケルなどでメッ

キされていることが好ましい。

第2の基板20には、貫通穴28が形成されている。貫通穴28は、第2の配線パターン22に複数の外部端子44（図3参照）を電氣的に接続するためのものである。すなわち、第2の基板20における第2の配線パターン22が形成された面とは反対側の面に突出する外部端子44を、貫通穴28を介して第2の配線パターン22に電氣的に接続することができる。例えば、第2の配線パターン22が貫通穴28上を通るようになっていれば、貫通穴28を介して、第2の配線パターン22上に外部端子44を設けることができる。

第1の基板10に形成された貫通穴18と、第2の基板20に形成された貫通穴28とは、連通する位置に形成されてもよい。ただし、貫通穴18、28は実際に連通する必要はなく、第2の配線パターン22などで塞がれていてもよい。

本実施の形態に係る配線基板は、安価な片面基板が用いられて、ビルドアップ基板や多層基板の機能を有するものである。すなわち、第1の基板10の第1の配線パターン12と、第2の基板20の第2の配線パターン22とが積層されているので、微細な配線が可能になっている。また、第1及び第2の基板10、20の両方が搭載領域14、24を有するので、複数の半導体チップ40、42（図3参照）などの電子素子を搭載することができる。

本実施の形態に係る配線基板は、上述したように構成されており、以下その製造方法を説明する。

まず、第1及び第2の基板10、20を用意する。第1及び第2の基板10、20は、フレキシブル基板を打ち抜いて形成することができる。フレキシブル基板は、テープ状をなすものであってもよい。予めフレキシブル基板に、第1又は第2の配線パターン12、22や、貫通穴18、28などを形成しておいてから、これを打ち抜いてもよい。

フレキシブル基板を打ち抜いて第2の基板20を形成する場合には、フレキシブル基板に第1の基板10を貼り付けてから、これを打ち抜いてもよい。さらに、複数の第1の基板10が形成される第1のフレキシブル基板を、複数の第2の基板20を形成する第2のフレキシブル基板に貼り付けて、各第2の基板20の外形で第2のフレ

キシブル基板を打ち抜いてもよい。こうすることで、各第1の基板10も切り離される。

そして、第1の基板10の少なくとも一部を第2の基板20における電子部品の搭載領域24を除く領域26に貼り付ける配置工程と、第1及び第2の配線パターン12、22を電氣的に接続する接続工程と、を行う。

配置工程の前に、あるいは配置工程の一部として、第1及び第2の基板10、20の位置合わせを行うことが好ましい。例えば、図1に示すように、第1及び第2の基板10、20に、位置合わせされたときに連通する位置決め用の穴30、32を形成しておき、ピンなどの治具34を挿通して位置合わせしてもよい。

配置工程では、第1の基板10における第1の配線パターン12が形成された面とは反対側の面と、第2の基板20における第2の配線パターン22が形成された面と、を貼り付けてもよい。接着には、接着剤16を使用すればよい。

接着剤16は、シート状で用意してもよく、あるいは液状又はゲル状で用意してもよい。シート状で用意した場合には、接着剤16を、加熱及び加圧して接着力を発現させる。接着剤16の特性は、熱硬化性又は熱可塑性のいずれであってもよい。接着剤16として、シート状のエポキシ樹脂を使用してもよく、熱可塑性のポリイミド樹脂を使用してもよい。

接着剤16は、第1の基板10又は第2の基板20の少なくともいずれか一方に設ければよい。接着剤16として絶縁性のものを使用した場合には、接着剤16は、第1及び第2の配線パターン12、22の電氣的な接続部分を避けて設けることが好ましい。詳しくは、導電材料19又は第2の配線パターン22における導電材料19との接合部を避けて、接着剤16を設ける。例えば、接着剤16をシート状で第1の基板10に貼り付けた場合には、接着剤16における導電材料19が形成された位置と重なる部分に、予め穴を形成した後に、接着剤16を第1の基板10に貼り付けてもよい。このような穴は、図示しない治具によって型を抜くことで形成できる。

あるいは、第1の基板10に接着剤16を貼り付けた後に、第1の基板10における貫通穴18の形成と同時に、接着剤16に貫通穴18と連通する穴を形成してもよい。これによれば、接着剤16に、改めて穴を形成する工程を省略できる。この場合

には、第1の基板10を形成するときに既に接着剤16を貼り付けているので、第1及び第2の基板10、20を接着するまでの工程において加えられる熱によって、接着剤16の接着力が失われないようにその材料を選定する。例えば、接着剤16は、熱可塑性のもの（例えば熱可塑性のポリイミド樹脂）を使用してもよい。

- 5 配置工程によって、接続工程の一部が行われてもよい。例えば、配置工程の前に、第1の基板10に形成された貫通穴18内に導電材料19を設ける。導電材料19として、ハンダ、高温ハンダ、クリームハンダ等を使用することができる。そして、配置工程で第1及び第2の基板10、20を貼り付けるときに、導電材料19を第2の配線パターン22に接触させることで、接続工程の少なくとも一部を行ってもよい。
- 10 導電材料19が軟性のものであれば、第1の基板10の表面又は接着剤16が設けられているときにはその表面からあふれる程度に、貫通穴18内に導電材料19を設けておく。こうすることで、配置工程によって、第1及び第2の配線パターン12、22を電氣的に接続することができる。

- 導電材料19が常温では硬化しているものであれば、配置工程後に、導電材料19
- 15 を加熱して溶融させて、第1及び第2の配線パターン12、22を電氣的に接続する。加熱は、外部端子44（図3参照）を形成するときや、半導体装置を回路基板に実装するときなどで行われるリフロー工程で行ってもよい。

- 以上の実施の形態では、基板の片面に配線パターンを形成した基板同士を重ね合わせる例について述べたが、2つの基板を重ねる方がコストが安い範囲内において、ビルドアップ基板を含む多層基板同士、多層基板と片面基板とを重ねる構造をとっても
- 20 よい。

また、以上の実施の形態では、上側の基板の間を通して上下の基板の配線パターン同士を導通させる構造について述べたが、上側の基板の配線パターンと下側の基板の配線パターンが向かい合って重なって導通するようにしてもよい。

- 25 更に、以上の実施の形態では、第2の基板20を第1の基板10から一方向のみに延出させた例を図示したが、複数方向（2方向、3方向又は4方向）に延出させてもよい。

さらに、第1又は第2の基板10、20の配線パターン12、22の少なくとも一

部は、他方の基板の配線パターン間をまたぐジャンパーリードのように形成されていても良い。こうすることで、基板に多層の配線パターンが必要になっても、片面板で疑似的な多層構造を安価に構成することができる。

こうして製造された配線基板を用いて半導体装置を製造することもできる。本実施
5 の形態で説明した内容は、可能な限り以下の実施の形態でも適用される。

(第2の実施の形態)

図3は、本発明を適用した第2の実施の形態に係る半導体装置を示す図である。本
実施の形態に係る半導体装置は、第1の実施の形態で説明した配線基板を含む。配線
基板については、第1の実施の形態で説明した通りであり詳しい説明を省略する。ま
10 た、第1の基板10における第1の配線パターン12が形成された面とは反対側の面
が、第2の基板20における第2の配線パターン22が形成された面に貼り付けられ
ている。

第1の基板10の搭載領域14には半導体チップ40が搭載されている。半導体チ
ップ40は第1の配線パターン12に電氣的に接続されている。詳しくは、半導体チ
ップ40の電極41と第1の配線パターン12とが電氣的に接続されている。電極4
15 1は、配線パターン12のランド部に接合されることが多い。配線パターン12にお
ける電極41と接続される部分及び電極41の少なくとも一方は、バンプとなってい
てもよい。配線パターン12と電極41との接合には、異方性導電膜やハンダや導電
ペースト等を用いたり、超音波を使用した金属接合を適用してもよい。超音波には、
20 熱や圧力を加えてもよい。図3に示すように、電極41が貫通穴18の上方に位置す
るように半導体チップ40を実装しても良いし、貫通穴18を避けて実装してもよい。
後者の方が、外部端子44からの距離が長くなって力の伝達を減少させ、信頼性を
向上させることができる。これは、以降の実施の形態でも同様である。

第2の基板20の搭載領域24には半導体チップ42が搭載されている。半導体チ
ップ42は第2の配線パターン22に電氣的に接続されている。詳しくは、半導体チ
ップ42の電極43と第2の配線パターン22とが電氣的に接続されている。この点
25 については、上述した半導体チップ40と第1の配線パターン12との接続に関する
内容を適用してもよい。それぞれの半導体チップ40、42と、第1又は第2の基板

10、20と、の間には図示しないアンダーフィル等の樹脂が存在する方が信頼性上好ましい。

第2の基板20には、第2の配線パターン22と電氣的に接続された複数の外部端子44が設けられている。外部端子44は、第2の基板20における第2の配線パターン22が形成された面とは反対側の面に設けられている。例えば、第2の基板20に形成された貫通穴28を介して、第2の配線パターン22上に外部端子44を設けてもよい。外部端子44は、ハンダ等で形成することができる。例えば、貫通穴28内に盛り上がった状態でクリームハンダを設け、これを溶融させてボール状の端子を形成してもよい。あるいは、貫通穴28内にハンダを設けたり、導電材料のメッキなどを施し、ハンダボールを搭載して外部端子44を設けてもよい。

以上の説明では、半導体チップと配線パターンとの実装をフェースダウン方式にて行った例で説明したが、ワイヤーボンディング法によるフェースアップ方式、フライングリードによるTAB方式を適用してもよい。上述した半導体チップと配線パターンとの実装方式は、以降に述べる実施の形態で用いてもよい。

15 本実施の形態に係る半導体装置によれば、第1の実施の形態で説明した配線基板をインターポーザとして使用するので、コストを下げることができる。

本実施の形態は、上述したように構成されており、以下その製造方法を説明する。

(製造方法の第1の例)

この例は、予め第1の実施の形態で説明した配線基板を用意し、これに半導体チップ40、42を搭載し、外部端子44を設ける方法である。その詳細については、上述した内容から自明であるため説明を省略する。

(製造方法の第2の例)

この例では、第1及び第2の基板10、20を用意する。そして、第1及び第2の基板10、20を貼り付けて配線基板を構成する前に、半導体チップ40、42の少なくとも一方を搭載する方法である。例えば、半導体チップ40を第1の基板10の搭載領域14に搭載し、半導体チップ42を第2の基板20の搭載領域24に搭載した後に、第1及び第2の基板10、20を貼り付ける。

あるいは、半導体チップ40、42の一方を第1及び第2の基板10、20の搭載

領域 14、24 の一方に搭載し、第 1 及び第 2 の基板 10、20 を貼り付けた後に、半導体チップ 40、42 の他方を第 1 及び第 2 の基板 10、20 の搭載領域 14、24 の他方に搭載する。

第 1 又は第 2 の基板 10、20 が、フレキシブル基板を打ち抜いて形成される場合
5 には、フレキシブル基板に半導体チップ 40 又は 42 を搭載してからこれを打ち抜いて第 1 又は第 2 の基板 10、20 を形成してもよい。

第 2 の基板 20 が、フレキシブル基板を打ち抜いて形成される場合には、フレキシブル基板に第 1 の基板 10 を搭載してから、このフレキシブル基板を打ち抜いて第 2 の基板を形成してもよい。この場合、第 1 の基板 10 に、すでに半導体チップ 40 が
10 搭載されていてもよい。

複数の第 1 の基板 10 を形成する第 1 のフレキシブル基板に、複数の第 1 の半導体チップ 40 を搭載し、この第 1 のフレキシブル基板を、複数の第 2 の基板 20 を形成する第 2 のフレキシブル基板に貼り付けてもよい。そして、第 2 のフレキシブル基板を、各第 2 の基板 20 の外形で打ち抜いてもよい。これにより、第 1 の基板 10 の外
15 形で第 1 のフレキシブル基板も切断される。

そして、第 2 の基板 20 に複数の外部端子 44 を設ける。この工程は、第 1 及び第 2 の基板 10、20 を形成して両者を貼り付け、第 1 及び第 2 の半導体チップ 40、42 を第 1 及び第 2 の基板 10、20 に搭載した後に行ってもよいがこれに限定されない。例えば、外部端子 44 を設ける工程は、第 2 の基板 20 を形成する前に、複数の
20 の第 2 の基板 20 を形成する第 2 のフレキシブル基板に予め設けておいてもよい。また、外部端子 44 を設ける工程は、第 2 の基板 20 に第 2 の半導体チップ 42 を搭載する前に行ってもよい。

この例では、第 1 及び第 2 の基板 10、20 の相互関係、両者の貼り付け構造、電気的な接続構造などについて、第 1 の実施の形態で説明した内容を適用することができ、製造方法についても同様である。
25

第 1 又は第 2 の基板 10、20 の配線パターンの少なくとも一部を、ジャンパーリードのように形成した場合は、少なくとも一方の基板に半導体チップを実装して、疑似多層構造を達成してもよい。このことは、後述する全ての実施の形態に適用するこ

とができる。

(第3の実施の形態)

図4は、本発明を適用した第3の実施の形態に係る半導体装置を示す図である。本実施の形態に係る半導体装置は、第2の実施の形態で説明した半導体装置の構成部材
5 を含み、各構成部材は、第2の実施の形態で説明した通りであり詳しい説明を省略する。また、第1の基板10における第1の配線パターン12が形成された面とは反対側の面が、第2の基板20における第2の配線パターン22が形成された面に貼り付けられている。

本実施の形態では、第2の基板20が屈曲している。また、第1の半導体チップ4
10 0と第2の半導体チップ42とが接着されている。詳しくは、第1の半導体チップ40における第1の基板10への搭載面とは反対側の面と、第2の半導体チップ42における第2の基板20への搭載面とは反対側の面と、が接着されている。接着には、接着剤50を使用することができる。あるいは、粘着剤を使用したり、かしめ、フリップ等の機械的な方法によって第2の基板20の屈曲を維持させてもよい。

15 本実施の形態に係る半導体装置によれば、第1及び第2の半導体チップ40、42が積み重ねられて小型化されている。第2の基板20が第1の基板10から複数方向に延出している場合は、複数方向から第2の基板20が折り畳まれてもよい。また、複数の半導体チップが搭載される場合は、それぞれの半導体チップの間で第2の基板20が折り畳まれてもよい。

20 本実施の形態に係る半導体装置の製造方法は、上述した第2の実施の形態で説明した半導体装置の製造方法に加えて、第2の基板20を屈曲させて、第1の基板10上に搭載された第1の半導体チップ40と、第2の基板20上に搭載された第2の半導体チップ42と、を接着する工程を含む。なお、外部端子44は、第2の基板20を屈曲させる前に設けてもよいし、第2の基板20を屈曲させてから設けてもよい。

25 図4では、こうして製造された半導体装置が、回路基板52に実装されている。回路基板52には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板52には例えば銅からなる配線パターン54が所望の回路となるように形成されていて、それらの配線パターン54と半導体装置の外部端子44とを接続

することでそれらの電氣的導通が図られている。

(第4の実施の形態)

図5は、本発明を適用した第4の実施の形態に係る配線基板を示す図である。本実施の形態では、第1の配線パターン12の一部が、第1の基板10に形成された貫通穴18内に入り込んで第2の配線パターン22に接続されている。詳しくは、貫通穴18の内部に、第1の配線パターン12の一部からなる屈曲部60が、凸部62により押圧されることで形成されている。屈曲部60は、第2の配線パターン22に接触している。貫通穴28中の第2の配線パターン22を屈曲時の加圧方向とは逆方向から保持すると接触が容易となる。凸型62の一点又は複数点を一括して加熱し、屈曲部60と第2の配線パターン22とをハンダ付け、ろう付けしてもよく、導電接着剤等で接合してもよい。また、凸型62に超音波を印加する超音波接合を適用してもよい。また、凸型62の代わりにシングルポイントボンダを用いて1点ずつ屈曲部60と第2の配線パターン22とを接合してもよい。この際、貫通穴28中の第2の配線パターン22を、屈曲時の加圧方向とは逆方向から保持してもよい。その前提として、第1の基板10に形成された貫通穴18は、第2の配線パターン22上に位置している。なお、屈曲部60は、一部が破断していてもよい。これ以外の構成は、第1の実施の形態で説明した内容を適用することができる。また、第1の基板10における第1の配線パターン12が形成された面とは反対側の面が、第2の基板20における第2の配線パターン22が形成された面に貼り付けられている。

本実施の形態によれば、屈曲部60によって、第1及び第2の配線パターン12、22の電氣的接続が図られている。図5に示すように、第1の基板10に形成された貫通穴18と、第2の基板20に形成された貫通穴28と、が連通する位置に形成されていてもよい。この場合、第2の配線パターン22が貫通穴28上に形成されているときには、第2の配線パターン22の一部が貫通穴28の内部に入り込んでもよい。

あるいは、図6に示すように、第1の基板10に形成された貫通穴18と、第2の基板20に形成された貫通穴28と、がずれた位置に形成されていてもよい。この場合、屈曲部64は、第2の配線パターン22における第2の基板20に密着する部分

に接触又は接合される。その方法は、前述した通りである。

本実施の形態に係る配線基板の製造方法では、凸型 6 2 を使用して第 1 の配線パターン 1 2 の一部を貫通穴 1 8 に入り込ませる。詳しくは、第 1 の基板 1 0 の貫通穴 1 8 上を第 1 の配線パターン 1 2 が通っており、第 1 の配線パターン 1 2 における貫通穴 1 8 上の部分を、凸型 6 2 によって貫通穴 1 8 内に入り込ませる。こうして、屈曲部 6 0 を形成することができる。その場合、第 2 の基板 2 0 を平面的に支える治具で保持することができる。この工程は、第 1 及び第 2 の配線パターン 1 2、2 2 を電気的に接続する接続工程である。なお、屈曲部 6 0 を、その一部が破断された状態で形成してもよい。屈曲部 6 0 を形成する工程と、接続する工程は、第 1 の配線パターン 1 2 を曲げながら第 2 の配線パターン 2 2 に接合することで同一工程で行うこともでき、その場合、工程数を削減できる。

屈曲部 6 0 と第 2 の配線パターン 2 2 とを接続するときに、屈曲部 6 0 を、接着剤 1 6 の一部を押しつけながら加圧して、第 2 の配線パターンに電気的に接続させることが好ましい。この場合に、接着剤 1 6 は、液状又はゲル状で用意することが好ましい。詳しくは、まず、接着剤 1 6 を第 1 又は第 2 の基板 1 0、2 0 の少なくとも一方に、両者の電気的な接続部も含めて設ける。その後、接着剤 1 6 を硬化させる前に、屈曲部 6 0 を第 2 の配線パターン 2 2 に向けて加圧することで、屈曲部 6 0 の外側に接着剤 1 6 の一部を押しつける。この場合に、屈曲部 1 6 に超音波振動を印可すれば、電気的な接合を確実にすることができる。これによれば、屈曲部 6 0 と第 2 の配線パターン 2 2 との間に接着剤 1 6 を介在させなくて済むので、両者の電気的接続の信頼性を高められる。なお、この方法は、全ての実施の形態において可能な限り適用することができる。

こうして、製造された配線基板をインターポーザとして使用して半導体装置を製造することもできる。

25 (第 5 の実施の形態)

図 7 は、本発明を適用した第 5 の実施の形態に係る配線基板を示す図である。本実施の形態では、第 2 の配線パターン 2 2 の一部が、第 1 の基板 1 0 に形成された貫通穴 1 8 内に入り込んで第 1 の配線パターン 1 2 に接続されている。詳しくは、貫通穴

1 8の内部に、第2の配線パターン2 2の一部からなる屈曲部6 6が形成されている。屈曲部6 6は、第1の配線パターン1 2に接触又は接合している。なお、屈曲部6 6は、図7に示すようにその一部が破断されていてもよいし、図5に示す屈曲部6 0のように破断のない連続的な形状であってもよい。これ以外の構成並びに形成及び接合方法、前述した実施の形態で説明した内容を適用することができる。なお、第1の基板1 0における第1の配線パターン1 2が形成された面とは反対側の面が、第2の基板2 0における第2の配線パターン2 2が形成された面に貼り付けられている。本実施の形態によれば、屈曲部6 6によって、第1及び第2の配線パターン1 2、2 2の電氣的接続が図られている。

10 本実施の形態に係る配線基板の製造方法では、凸型6 8を使用して第2の配線パターン2 2の一部を貫通穴1 8に入り込ませる。この工程を行うには、第2の基板2 0の貫通穴2 8と、第1の基板1 0の貫通穴1 8と、が連通する位置に形成されていることが好ましい。

詳しくは、凸型6 8を、第2の基板2 0における第2の配線パターン2 2が形成された面とは反対側から、貫通穴2 8内に挿入する。そして、凸型6 8によって第2の配線パターン2 2を、貫通穴1 8内に入り込ませて第1の配線パターン1 2に接合する。こうして、屈曲部6 6を形成することができる。この工程は、第1及び第2の配線パターン1 2、2 2を電氣的に接続する接続工程である。もちろん、複数の凸部を有する凸型で複数点（複数箇所）を一括して接合してもよい。

20 こうして、製造された配線基板をインターポーザとして使用して半導体装置を製造することもできる。

（第6の実施の形態）

図8は、本発明を適用した第6の実施の形態に係る配線基板を示す図である。本実施の形態では、第1の基板1 0における第1の配線パターン1 2が形成された面とは反対側の面が、第2の基板2 0における第2の配線パターン2 2が形成された面に貼り付けられている。

また、第2の配線パターン2 2の一部が、第2の基板2 0に形成された貫通穴2 8内に入り込んで外部端子7 0を形成している。第2の配線パターン2 2は、外部端子

70の少なくとも外壁部となっている。また、第1の配線パターン12の一部が、第1及び第2の基板10、20に形成された貫通穴18、28内に入り込んで第2の配線パターン22に接続、接触又は接合されている。

第1の基板10に形成された貫通穴18と、第2の基板20に形成された貫通穴28と、が連通する位置に形成されている。第1の配線パターン12の一部は、第2の基板20の貫通穴28内に入り込んで、外部端子70の内壁部となる。これ以外の構成及び形成方法は、上述したいずれかの実施の形態で説明した内容を適用することができる。

本実施の形態によれば、第2の配線パターン22の一部あるいは第1及び第2の配線パターン12、22の一部によって外部端子70が形成されるので、別部材としての外部端子が不要になり部品点数を減らすことができる。

本実施の形態に係る配線基板の製造方法では、図5に示す凸型62を使用して第1の配線パターン12の一部を貫通穴18に入り込ませ、さらに、第2の配線パターン22を貫通穴28に入り込ませればよい。外部端子70を、第2の基板20から突出させたいときは、第2の配線パターン22の一部を第2の基板20から突出させる。外部端子70を、第2の基板20から突出させる必要がないときは、第2の配線パターン22の一部を貫通穴28の内部で止めてもよい。

本実施形態に係る製造方法では、上述したいずれかの実施の形態で説明した製造方法の内容を適用することができる。こうして、製造された配線基板をインターポーザとして使用して半導体装置を製造することもできる。

また、第4～第6の実施の形態において、第1の基板10と第2の基板20との間を接着すれば、基板間の接着強度が強まり半導体装置の信頼性が向上するため、より好ましい。

(第7の実施の形態)

図9は、本発明を適用した第7の実施の形態に係る配線基板の製造方法を示す図である。本実施の形態では、第1及び第2の基板10、20の配置工程で異方性導電膜72を使用する。すなわち、第1及び第2の基板10、20の間に、異方性導電膜72を介在させて両者を接着する。なお、異方性導電膜72は、予めテープ状又はシー

ト状をなす異方性導電材料であってもよいし、第1及び第2の基板10、20の少なくとも一方に塗られている液状の異方性導電材料であってもよい。異方性導電材料は、
5 接着剤に導電粒子が分散されてなる。なお、第1の基板10における第1の配線パターン12が形成された面とは反対側の面が、第2の基板20における第2の配線パターン22が形成された面に貼り付けられている。

異方性導電膜72が、第2の基板20における第2の配線パターン22が形成された面上に設けられているときには、異方性導電膜72を介して第2の半導体チップ42を、第2の基板20にフェースダウンボンディングしてもよい。この場合、第2の半導体チップ42を搭載するための搭載領域24と、第2の基板20における第1の
10 基板10を貼り付ける領域26と、の両方に異方性導電膜72を設けることが好ましい。そして、第1及び第2の基板10、20の配置工程と、第2の半導体チップ40のための第2の搭載工程と、の両方を同時に行ってもよいし、一方を行ってから他方を行ってもよい。

これによれば、第1及び第2の基板10、20を接着する材料と、第2の半導体チップ42を第2の基板20に接着するとともに電氣的に接続する材料と、が一つの材料である。したがって、部品点数を減らすことができる。

図9に示す例では、第1及び第2の基板10、20の配置工程の後に、第2の半導体チップ42のための第2の搭載工程と、第1及び第2の配線パターン12、22の電氣的な接続工程と、を行う。詳しくは、図9において、第1及び第2の基板10、
20 20の間には、異方性導電膜72が介在しており、異方性導電膜72は、第2の基板20における第2の半導体チップ42の搭載領域24上にも設けられている。

第2の半導体チップ42と第2の基板20とが、押圧治具74により加圧されて、第2の半導体チップ42は、第2の基板20にフェースダウンボンディングされる。すなわち、第2の半導体チップ40のための第2の搭載工程が行われる。

25 また、凸型62を使用して、図5に示す工程と同じ工程によって、第1及び第2の配線パターン12、22を電氣的に接続する。すなわち、接続工程を行う。さらに、凸型62を使用して図8に示す工程と同じ工程によって、外部端子70を形成してもよい。本実施の形態では、第1及び第2の配線パターン12、22の間に異方性導電

膜72が介在するので、第1及び第2の配線パターン12、22は、導電粒子によって電氣的に接続されてもよい。

なお、本実施の形態で、半導体チップ42の搭載工程を除外すれば、配線基板を製造することができる。この配線基板の構成は、上述した内容から半導体チップ42を除外した内容である。

(第8の実施の形態)

図10は、本発明を適用した第8の実施の形態に係る配線基板を示す図である。本実施の形態では、第1及び第2の基板10、20の貫通穴18、28が連通する位置に形成されている。第1の配線パターン12は、貫通穴18上を通る。第2の配線パターン22の一部は、図10に示す突片82のように、貫通穴28の内側に突出することが好ましいが、第2の配線パターン22と貫通穴28とが連通する空間があれば、突出していなくてもよい。また、第2の配線パターン22の一部は、第1の配線パターン12に接触している必要はないが、接触していてもよい。なお、第1の基板10における第1の配線パターン12が形成された面とは反対側の面が、第2の基板20における第2の配線パターン22が形成された面に貼り付けられている。

連通する貫通穴18、28には、ハンダ等の導電材料が設けられて外部端子80が形成されている。導電材料は、第1の配線パターン12に設けられてもよい。また、導電材料は、第2の配線パターン22における貫通穴28の内側へ設けられて、突片82に接合されていてもよい。こうすることで、導電材料を設ける工程が1度で済み、工程の短縮化を図ることができる。あるいは、導電材料は、少なくとも第2の配線パターン22の一部の表面に接触していればよい。外部端子80を構成する導電材料は、貫通穴18、28を介して、第1及び第2の配線パターン12、22を電氣的に接続している。

本実施の形態によれば、第1及び第2の配線パターン12、22を電氣的に接続する導電材料によって、一体的に外部端子80を形成することができる。あるいは、連通する貫通穴18、28に、第1及び第2の配線パターン12、22を電氣的に接続する導電材料を設け、これとは別に、ハンダボールなどの端子部材を設けてもよい。

本実施の形態に係る配線基板の製造方法では、上述した構成の第1及び第2の配線

パターン 12、22 が形成された第 1 及び第 2 の基板 10、20 を貼り付け、連通する貫通穴 18、28 内に導電材料を設ける。そして、この導電材料を加熱し熔融させて、あるいは、この導電材料にハンダボールなどの端子部材を設けて、外部端子 80 を形成する。

- 5 こうして得られた配線基板を使用して半導体装置を製造してもよい。半導体装置の製造工程の一部として、本実施の形態を適用してもよい。

更に、上述した全ての実施の形態において、複数枚の基板を重ねる構造を採用してもよい。この際、重ねる基板の延出方向を半導体チップが露出するようにずらした方が実装性が向上する。更に全ての実施の形態において、全ての 1 枚の基板上に複数の

- 10 半導体チップを実装してもよい。

また、上述した全ての実施の形態において、外部端子 44 は必ずしも必要ではなく、基板の延出部をコネクタとしたり、コネクタを実装するなどの手段で配線を外部へ拡張させてもよいし、他のパッシブパーツを基板上に実装して半導体モジュールとして完結させてもよい。

- 15 そして、本発明を適用した半導体装置を有する電子機器として、図 11 には、ノート型パーソナルコンピュータ 100 が示されている。

なお、上記実施の形態で、「半導体チップ」を「電子素子」に置き換えて、半導体チップと同様に電子素子（能動素子か受動素子かを問わない）を、基板に実装して電子部品を製造することもできる。あるいは、半導体チップと電子素子とを混載しても

- 20 よい。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

請 求 の 範 囲

1. 第1の配線パターンが形成された第1の基板と、第2の配線パターンが形成された第2の基板と、が積層されて配置されてなり、

- 5 前記第1の配線パターン及び前記第2の配線パターンの少なくとも一方は、電子素子の搭載領域を有し、

前記第1の配線パターンと前記第2の配線パターンとが電氣的に接続されてなる配線基板。

2. 請求項1記載の配線基板において、

- 10 前記第1の基板よりも前記第2の基板が大きく、前記第1の基板の全体が前記第2の基板に貼り付けられてなる配線基板。

3. 請求項1の配線基板において、

前記第1の配線パターンは、前記第1の基板の一方の面に形成され、

前記第2の配線パターンは、前記第2の基板の一方の面に形成され、

- 15 前記第1の基板における前記第1の配線パターンが形成された面とは反対側の面と、前記第2の基板における前記第2の配線パターンが形成された面と、が対向して配置されてなる配線基板。

4. 請求項3記載の配線基板において、

- 20 前記第1の基板には、複数の貫通穴が形成されており、前記貫通穴を介して前記第1の配線パターンと前記第2の配線パターンとが電氣的に接続されてなる配線基板。

5. 請求項4記載の配線基板において、

前記第1の配線パターンは、前記貫通穴上を通り、

前記貫通穴は、前記第2の配線パターン上に位置し、

- 25 前記貫通穴内に、前記第1及び第2の配線パターンに接触する導電材料が設けられてなる配線基板。

6. 請求項4記載の配線基板において、

前記貫通穴は、前記第2の配線パターン上に位置し、

前記第 1 の配線パターンの一部は、前記貫通穴内に入り込んで、前記第 2 の配線パターンに接続されてなる配線基板。

7. 請求項 4 記載の配線基板において、

5 前記第 2 の基板には、前記第 2 の配線パターンと電氣的に接続されて前記第 2 の配線パターンが形成された面とは反対側に突出する複数の外部端子を形成するための複数の貫通穴が形成されてなる配線基板。

8. 請求項 7 記載の配線基板において、

前記第 1 の基板に形成された前記貫通穴と、前記第 2 の基板に形成された前記貫通穴とは、連通する位置に形成されている配線基板。

10 9. 請求項 8 記載の配線基板において、

前記第 2 の配線パターンの一部は、前記第 1 の基板に形成された前記貫通穴内に入り込んで、前記第 1 の配線パターンに接続されてなる配線基板。

10. 請求項 8 記載の配線基板において、

15 前記第 1 及び第 2 の配線パターンの一部は、前記第 2 の基板に形成された前記貫通穴を介して前記第 2 の基板の面から突出して外部端子を構成する配線基板。

11. 請求項 8 記載の配線基板において、

前記第 2 の配線パターンの一部は、前記第 1 の配線パターンとの接触を避けて、前記第 2 の基板に形成された前記貫通穴の内側に突出してなる配線基板。

12. 請求項 1 から請求項 11 のいずれかに記載の配線基板において、

20 前記第 1 及び第 2 の基板は、導電粒子を含有する異方性導電膜を介して貼り付けられてなる配線基板。

13. 請求項 12 記載の配線基板において、

前記第 1 及び第 2 の配線パターンは、前記導電粒子によって電氣的に接続されてなる配線基板。

25 14. 第 1 の配線パターンが形成された第 1 の基板と、

前記第 1 の基板の少なくとも一部が対向して配置された領域を有し、前記第 1 の配線パターンと電氣的に接続された第 2 の配線パターンが形成された第 2 の基板と、

前記第 1 の配線パターン及び前記第 2 の配線パターンの少なくとも一方に電氣的

に接続された電子素子と、
を含む電子部品。

15 15. 請求項14記載の電子部品において、

前記第1の基板における前記第1の配線パターンが形成された面とは反対側の面
5 と、前記第2の基板における前記第2の配線パターンが形成された面と、が貼り付け
られてなる電子部品。

16. 請求項15記載の電子部品において、

前記第1の基板には、複数の貫通穴が形成されており、前記貫通穴を介して前記第
1の配線パターンと前記第2の配線パターンとが電氣的に接続されてなる電子部品。

10 17. 請求項16記載の電子部品において、

前記第2の基板には、複数の貫通穴が形成され、
前記第2の基板に形成された前記貫通穴を介して前記第2の配線パターンに電氣
的に接続された外部端子が設けられてなる電子部品。

18. 請求項17記載の電子部品において、

15 前記第1の基板に形成された前記貫通穴と、前記第2の基板に形成された前記貫通
穴とは、連通する位置に形成され、

前記外部端子は、前記第2の基板に形成された前記貫通穴を介して前記第2の配線
パターンに接触し、かつ、前記第1の基板に形成された前記貫通穴を介して前記第1
の配線パターン上に設けられてなる電子部品。

20 19. 請求項15から請求項18のいずれかに記載の電子部品において、

前記第2の基板における前記第2の配線パターンが形成された面には、導電粒子を
含有する異方性導電膜が設けられ、

前記異方性導電膜は、前記第1及び第2の基板を接着するとともに、前記第2の配
線パターンと前記電子素子とを電氣的に接続する電子部品。

25 20. 請求項19記載の電子部品において、

前記第2の基板が屈曲して、前記第1の基板上に搭載された前記第1の電子素子と、
前記第2の基板上に搭載された前記第2の電子素子と、が接着されてなる電子部品。

21. 請求項14から請求項18のいずれかに記載の電子部品が搭載された回路基板。

2 2. 請求項 1 4 から請求項 1 8 のいずれかに記載の電子部品を備える電子機器。

2 3. 第 1 の配線パターンが形成された第 1 の基板の少なくとも一部を、第 2 の配線パターンが形成された第 2 の基板における電子素子の搭載領域を除く領域に対向させて配置する配置工程と、

5 前記第 1 及び第 2 の配線パターンを電氣的に接続する接続工程と、
を含む配線基板の製造方法。

2 4. 請求項 2 3 記載の配線基板の製造方法において、

前記配置工程で、前記第 1 の基板における前記第 1 の配線パターンが形成された面とは反対側の面と、前記第 2 の基板における前記第 2 の配線パターンが形成された面

10 と、を貼り付け、

前記第 1 の基板には複数の貫通穴が形成されており、前記第 1 の配線パターンは、前記貫通穴上を通して形成されてなる配線基板の製造方法。

2 5. 請求項 2 4 記載の配線基板の製造方法において、

前記配置工程の前に、前記第 1 の基板に形成された前記貫通穴を介して前記第 1 の
15 配線パターンに導電材料を設け、

前記配置工程で前記第 1 及び第 2 の基板を貼り付けるときに、前記導電材料を前記第 2 の配線パターンに接触させることで、前記接続工程を行う配線基板の製造方法。

2 6. 請求項 2 4 記載の配線基板の製造方法において、

前記接続工程で、前記第 1 の配線パターンの一部を、前記第 1 の基板に形成された
20 貫通穴内に屈曲させて前記第 2 の配線パターンに接続する配線基板の製造方法。

2 7. 請求項 2 4 記載の配線基板の製造方法において、

前記第 2 の基板には、複数の貫通穴が形成され、

前記第 1 及び第 2 の基板に形成された貫通穴は、連通する位置に形成されてなる配線基板の製造方法。

25 2 8. 請求項 2 7 記載の配線基板の製造方法において、

前記接続工程で、前記第 2 の配線パターンの一部を、前記第 1 の基板に形成された貫通穴内に屈曲させて前記第 1 の配線パターンに接続する配線基板の製造方法。

2 9. 請求項 2 7 記載の配線基板の製造方法において、

前記接続工程で、前記第 1 及び第 2 の配線パターンの一部を、一体的に、前記第 2 の基板に形成された前記貫通穴を介して前記第 2 の基板の面から突出させて外部端子を形成する配線基板の製造方法。

30. 請求項 27 記載の配線基板の製造方法において、

- 5 前記接続工程で、外部端子の形成材料を、前記第 2 の配線パターンに接触させて前記第 1 及び第 2 の基板に形成された前記貫通穴を介して、前記第 1 の配線パターン上に設ける配線基板の製造方法。

31. 請求項 23 から請求項 30 のいずれかに記載の配線基板の製造方法において、
前記第 1 及び第 2 の基板には、位置決め用の穴が形成され、

- 10 前記配置工程前に、前記位置決め用の穴に治具を挿通して、前記第 1 及び第 2 の基板の位置決めを行う工程を含む配線基板の製造方法。

32. 電子素子の搭載領域を有して第 1 の配線パターンが形成された第 1 の基板の少なくとも一部を、第 2 の配線パターンが形成された第 2 の基板における電子素子の搭載領域を除く領域に貼り付ける配置工程と、

- 15 前記第 1 及び第 2 の配線パターンを電氣的に接続する接続工程と、

前記第 1 の基板に、前記第 1 の配線パターンに電氣的に接続される第 1 の電子素子を搭載する第 1 の搭載工程と、

前記第 2 の基板の前記電子素子の搭載領域に、前記第 2 の配線パターンに電氣的に接続される第 2 の電子素子を搭載する第 2 の搭載工程と、

- 20 を含む電子部品の製造方法。

33. 請求項 32 記載の電子部品の製造方法において、

前記配置工程で、前記第 1 の基板における前記第 1 の配線パターンが形成された面とは反対側の面と、前記第 2 の基板における前記第 2 の配線パターンが形成された面と、を貼り付け、

- 25 前記第 1 の基板には複数の貫通穴が形成されており、前記第 1 の配線パターンは、前記貫通穴上を通して形成されてなる電子部品の製造方法。

34. 請求項 33 記載の電子部品の製造方法において、

前記第 2 の基板には、複数の貫通穴が形成され、

前記第 1 及び第 2 の基板に形成された前記貫通穴は、連通する位置に形成されてなる電子部品の製造方法。

35. 請求項 34 記載の電子部品の製造方法において、

5 前記接続工程で、外部端子の形成材料を、前記第 2 の配線パターンに接触させて前記第 1 及び第 2 の基板に形成された前記貫通穴を介して、前記第 1 の配線パターン上に設ける電子部品の製造方法。

36. 請求項 32 記載の電子部品の製造方法において、

10 前記配置工程及び前記第 2 の搭載工程で、前記第 2 の基板における前記第 2 の配線パターンが形成された面に導電粒子を含有する異方性導電膜を設け、前記異方性導電膜によって、前記第 1 及び第 2 の基板を接着するとともに、前記第 2 の配線パターンと前記第 2 の電子素子とを電氣的に接続する電子部品の製造方法。

37. 請求項 32 記載の電子部品の製造方法において、

15 前記第 2 の基板を屈曲させて、前記第 1 の基板上に搭載された前記第 1 の電子素子と、前記第 2 の基板上に搭載された前記第 2 の電子素子と、を接着する工程を含む電子部品の製造方法。

38. 請求項 32 から請求項 37 のいずれかに記載の電子部品の製造方法において、前記第 1 の搭載工程の後に、前記配置工程を行う電子部品の製造方法。

39. 請求項 38 記載の電子部品の製造方法において、

20 前記第 2 の基板は、フレキシブル基板の一部であり、前記配置工程後に、前記フレキシブル基板を打ち抜いて前記第 2 の基板を形成する前記電子部品の製造方法。

FIG. 5

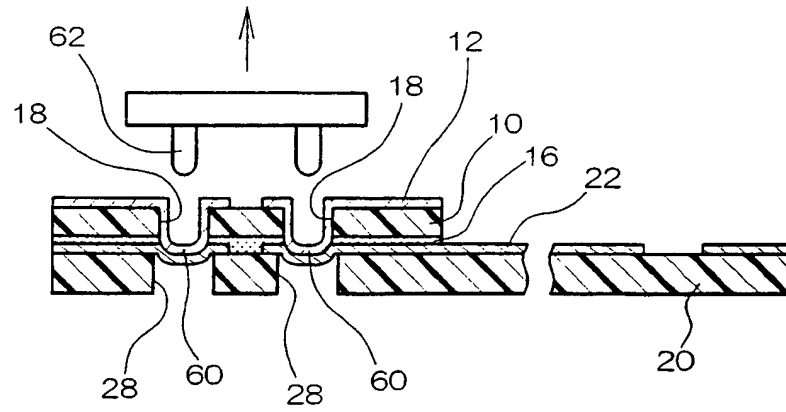


FIG. 6

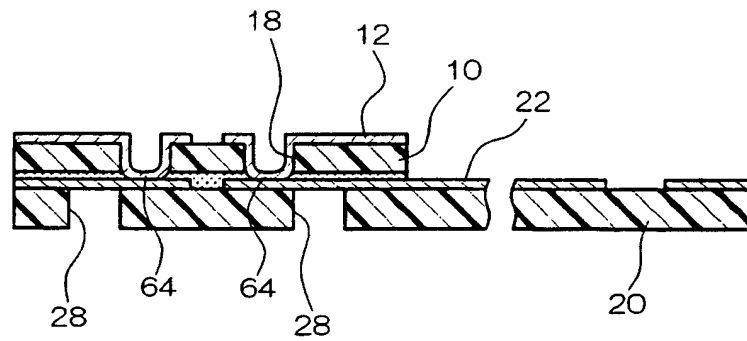


FIG. 7

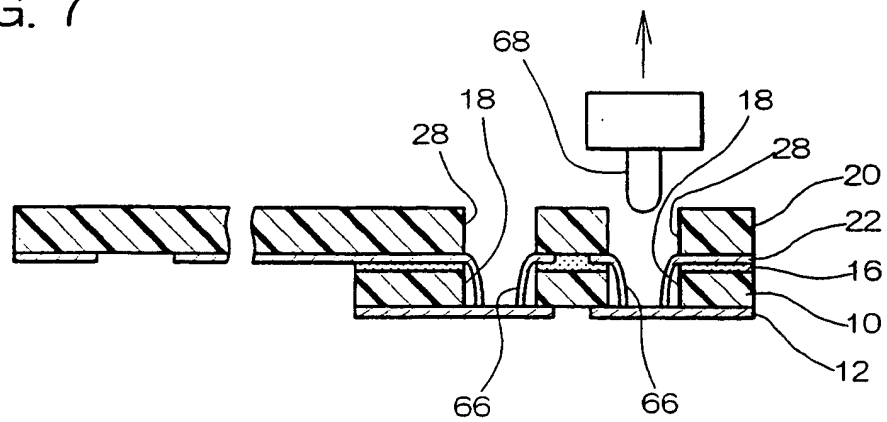


FIG. 8

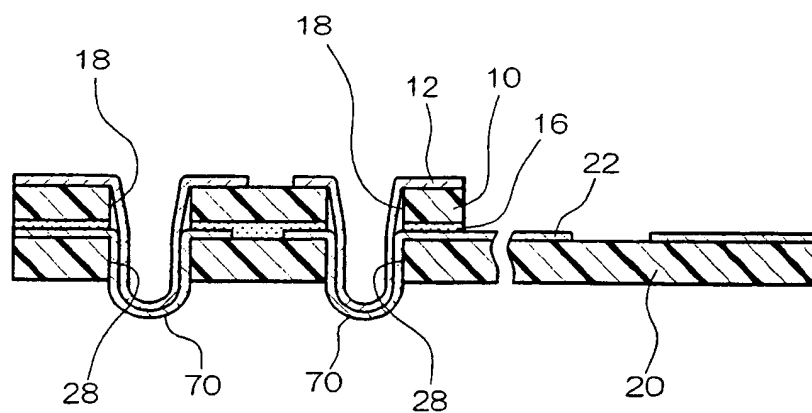


FIG. 9

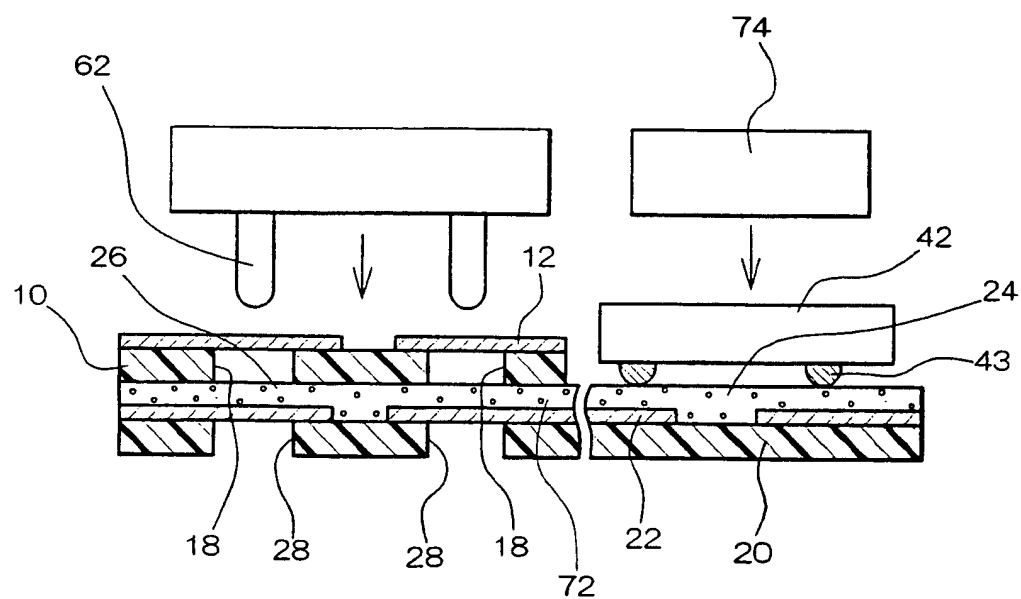


FIG. 10

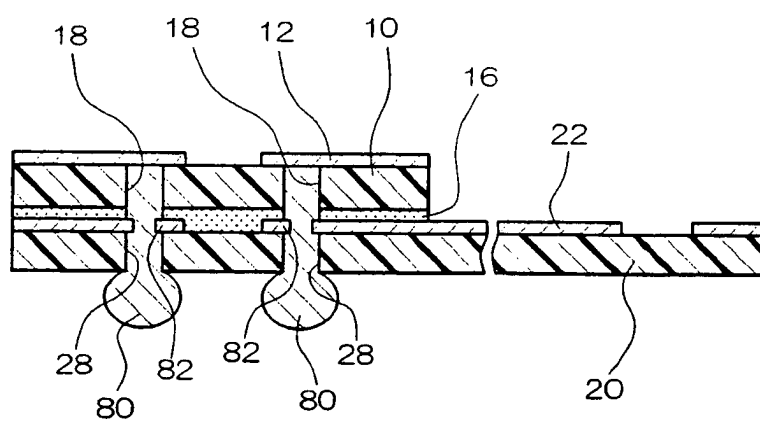
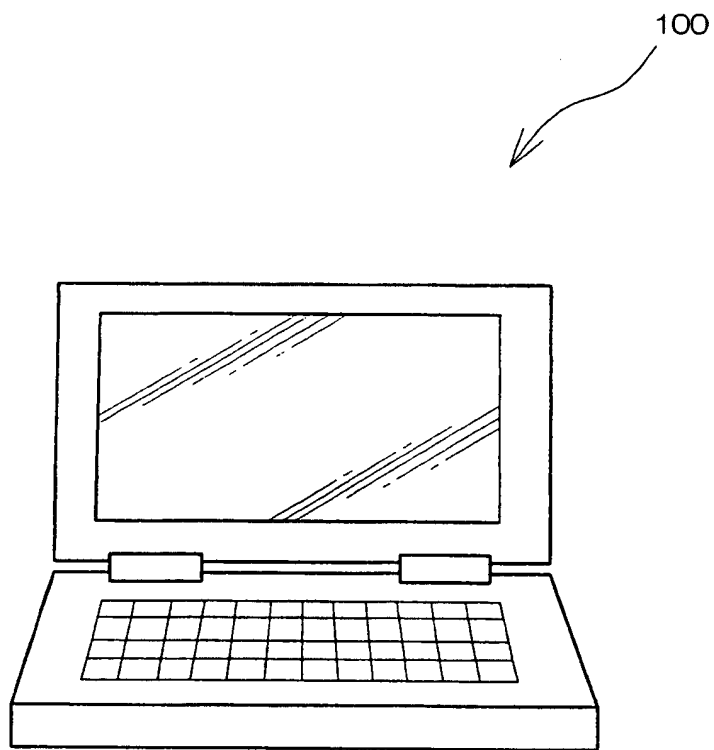


FIG. 11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05395

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L23/52

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L23/12 H01L23/52 H01L25/00 H05K3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000
 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP, 540247, A2 (International Business Machines), 05 May, 1993 (05.05.93), Claims; drawings	1-5, 8, 14-16, 18 , 22-25, 27, 32-34, 38
A	& JP, 6-58941, B2	6, 7, 9-13, 17, 19-21, 26, 28-31 , 35-37, 39
A	JP, 62-117391, (BROTHER INDUSTRIES, LTD.), 28 May, 1987 (28.05.87) (Family: none)	6, 8, 9, 26, 28
A	JP, 11-112150, A (Hokuriku Electric Ind. Co., Ltd.), 23 April, 1999 (23.04.99) (Family: none)	12, 13, 19, 36
A	JP, 11-135715, A (Nitto Denko Corporation), 21 May, 1999 (21.05.99) (Family: none)	7, 17, 20, 37
A	JP, 4-196350, A (Hitachi, Ltd.), 16 July, 1992 (16.07.92) (Family: none)	31



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
04 November, 2000 (04.11.00)Date of mailing of the international search report
14 November, 2000 (14.11.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L23/52

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L23/12 H01L23/52 H01L25/00 H05K3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	EP, 540247, A2 (International Business Machines) 05. 5月. 1993 (05. 05. 93) 特許請求の範囲、図面	1-5, 8, 14-16, 18, 22-25, 27, 32-34, 38
A	& JP, 6-58941, B2	6, 7, 9-13, 17, 19-21, 26, 28- 31, 35-37, 39
A	JP, 62-117391, (ブラザー工業株式会社) 28. 5月. 1987 (28. 05. 87) & ファミリーなし	6, 8, 9, 26, 28

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

04. 11. 00

国際調査報告の発送日

14.11.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

4R 9265

電話番号 03-3581-1101 内線 6362

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 11-112150, A (北陸電気工業株式会社) 23. 4月. 1999 (23. 04. 99) & ファミリーなし	12, 13, 19, 36
A	JP, 11-135715, A (日東電工株式会社) 21. 5月. 1999 (21. 05. 99) & ファミリーなし	7, 17, 20, 37
A	JP, 4-196350, A (株式会社日立製作所) 16. 7月. 1992 (16. 07. 92) & ファミリーなし	31



P C T

国際調査報告

(法8条、法施行規則第40、41条)
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 E P P C - 2 5 4 4	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/J P 0 0 / 0 5 3 9 5	国際出願日 (日.月.年) 1 1 . 0 8 . 0 0	優先日 (日.月.年) 1 9 . 0 8 . 9 9
出願人 (氏名又は名称) セイコーエプソン株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L23/52

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L23/12 H01L23/52 H01L25/00 H05K3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	EP, 540247, A2 (International Business Machines) 05. 5月. 1993 (05. 05. 93) 特許請求の範囲、図面	1-5, 8, 14-16, 18, 22-25, 27, 32-34, 38
A	& JP, 6-58941, B2	6, 7, 9-13, 17, 19-21, 26, 28- 31, 35-37, 39
A	JP, 62-117391, (ブラザー工業株式会社) 28. 5月. 1987 (28. 05. 87) & ファミリーなし	6, 8, 9, 26, 28

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

04. 11. 00

国際調査報告の発送日

14.11.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

4 R

9265

電話番号 03-3581-1101 内線 6362

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 11-112150, A (北陸電気工業株式会社) 23. 4月. 1999 (23. 04. 99) & ファミリーなし	12, 13, 19, 36
A	J P, 11-135715, A (日東電工株式会社) 21. 5月. 1999 (21. 05. 99) & ファミリーなし	7, 17, 20, 37
A	J P, 4-196350, A (株式会社日立製作所) 16. 7月. 1992 (16. 07. 92) & ファミリーなし	31

PCT REQUEST

EPPC-2544

Draft (NOT for submission) - printed on 16.04.2001 03:58:23 PM

0	For receiving Office use only	
0-1	International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4	Form - PCT/RO/101 PCT Request	
0-4-1	Prepared using	PCT-EASY Version 2.91 (updated 01.01.2001)
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	Japanese Patent Office (RO/JP)
0-7	Applicant's or agent's file reference	EPPC-2544
I	Title of invention	INTERCONNECT SUBSTRATE AND METHOD OF MANUFACTURING THEREOF, ELECTRONIC COMPONENT AND METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD AND ELECTRONIC INSTRUMENT
II	Applicant	
II-1	This person is:	applicant only
II-2	Applicant for	all designated States except US
II-4	Name	SEIKO EPSON CORPORATION
II-5	Address:	4-1, Nishi-shinjuku 2-chome Shinjuku-ku, Tokyo 163-0811 Japan
II-6	State of nationality	JP
II-7	State of residence	JP
II-8	Telephone No.	03-3348-3114
II-9	Facsimile No.	03-3340-4258
III-1	Applicant and/or inventor	
III-1-1	This person is:	applicant and inventor
III-1-2	Applicant for	US only
III-1-4	Name (LAST, First)	HASHIMOTO, Nobuaki
III-1-5	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
III-1-6	State of nationality	JP
III-1-7	State of residence	JP

PCT REQUEST

EPPC-2544

Draft (NOT for submission) - printed on 16.04.2001 03:58:23 PM

IV-1	Agent or common representative; or address for correspondence The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	agent
IV-1-1	Name (LAST, First)	INOUE, Hajime
IV-1-2	Address:	2nd Floor, Ogikubo TM Bldg., 26-13, Ogikubo 5-chome Suginami-ku, Tokyo 167-0051 Japan
IV-1-3	Telephone No.	03-5397-0891
IV-1-4	Facsimile No.	03-5397-0893
IV-1-5	e-mail	MXJ00663@nifty.ne.jp
IV-2	Additional agent(s)	additional agent(s) with same address as first named agent
IV-2-1	Name(s)	FUSE, Yukio; OFUCHI, Michie
V	Designation of States	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	--
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	CN JP KR US
V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.	
V-6	Exclusion(s) from precautionary designations	NONE
VI-1	Priority claim of earlier national application	
VI-1-1	Filing date	19 August 1999 (19.08.1999)
VI-1-2	Number	11-232565
VI-1-3	Country	JP
VII-1	International Searching Authority Chosen	Japanese Patent Office (JPO) (ISA/JP)

PCT REQUEST

EPPC-2544

Draft (NOT for submission) - printed on 16.04.2001 03:58:23 PM

VIII	Check list	number of sheets	electronic file(s) attached
VIII-1	Request	4	-
VIII-2	Description	24	-
VIII-3	Claims	6	-
VIII-4	Abstract	1	-
VIII-5	Drawings	6	-
VIII-7	TOTAL	41	
	Accompanying items	paper document(s) attached	electronic file(s) attached
VIII-8	Fee calculation sheet	✓	-
VIII-16	PCT-EASY diskette	-	diskette
VIII-18	Figure of the drawings which should accompany the abstract	1	
VIII-19	Language of filing of the international application	Japanese	
IX	Signature of applicant or agent		
IX-1	Name (LAST, First)		
IX-2	Capacity		

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported international application	
10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	
10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
------	--	--

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05395

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L23/52

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L23/12 H01L23/52 H01L25/00 H05K3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000
 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	EP, 540247, A2 (International Business Machines), 05 May, 1993 (05.05.93), Claims; drawings & JP, 6-58941, B2	1-5, 8, 14-16, 18 , 22-25, 27, 32-34, 38 6, 7, 9-13, 17, 19-21, 26, 28-31 , 35-37, 39
A	JP, 62-117391, (BROTHER INDUSTRIES, LTD.), 28 May, 1987 (28.05.87) (Family: none)	6, 8, 9, 26, 28
A	JP, 11-112150, A (Hokuriku Electric Ind. Co., Ltd.), 23 April, 1999 (23.04.99) (Family: none)	12, 13, 19, 36
A	JP, 11-135715, A (Nitto Denko Corporation), 21 May, 1999 (21.05.99) (Family: none)	7, 17, 20, 37
A	JP, 4-196350, A (Hitachi, Ltd.), 16 July, 1992 (16.07.92) (Family: none)	31

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
04 November, 2000 (04.11.00)

Date of mailing of the international search report
14 November, 2000 (14.11.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.